

54/7474

双上升沿D触发器（有预置、清除端）

简要说明

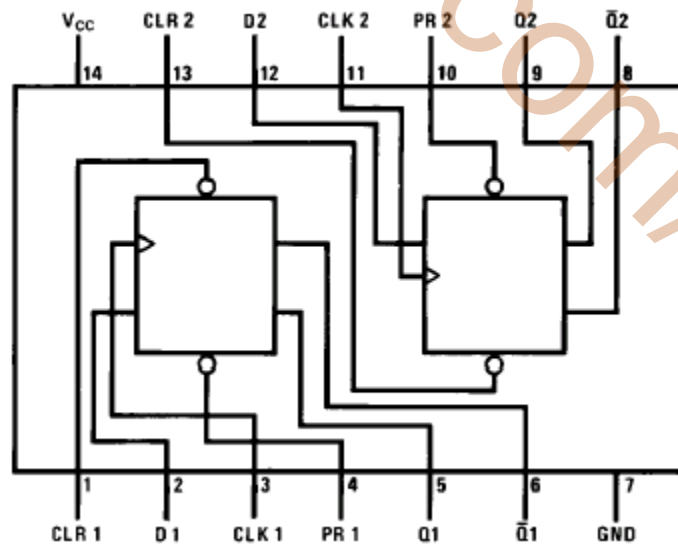
74 为带预置和清除端的两组 D 型触发器，共有 54/7474、54/74H74、54/74S74、54/74LS74 四种线路结构形式，其主要电特性的典型值如下：

型 号	f_{max}	P_D
5474/7474	25MHz	85mW
54H74/74H74	43 MHz	150mW
54S74/74S74	110 MHz	150mW
54LS74/74LS74	33 MHz	20mW

引出端符号

- 1CP、2CP 时钟输入端
- 1D、2D 数据输入端
- 1Q、2Q、1 \bar{Q} 、2 \bar{Q} 输出端
- CLR1、CLR2 直接复位端（低电平有效）
- PR1、PR2 直接置位端（低电平有效）

逻辑图



双列直插封装

极限值

- 电源电压.....7V
- 输入电压
- 54/7474、54/74H74、54/74S74.....5.5V
- 54/74LS74.....7V

工作环境温度

54XXX -55~125°C

74XXX 0~70°C

存储温度 -65~150°C

功能表

Inputs				Outputs	
PR	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	\bar{Q}_0

推荐工作条件

		5474/7474			54H74/74H74			54S74/74S74			54LS74/74LS74			单位
		最小	额定	最大	最小	额定	最大	最小	额定	最大	最小	额定	最大	
电源电压 V _{CC}	54	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	V
	74	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	
输入高电平电压 V _{IH}		2			2			2			2			V
输入低电平 电压V _{IL}	54			0.8			0.8			0.8			0.7	V
	74			0.8			0.8			0.8			0.8	
输出高电平 电流I _{OH}				-400			-1000			-1000			-400	μA
输出低电 流I _{OL}	54			16			20			20			4	mA
	74			16			20			20			8	
时钟频率 f _{CLK}		0		15	0		35	0		75	0		25	MHz
脉冲宽 度t _w	CP(H)	30			15			6			25			ns
	CP(L)	37			13.5			7.3						
	PR(L) CLR(L)	30			25			7			25			
建立时 间t _{SU}	D(H)	20*			10*			3*			20*			ns
	D(L)	20*			15*			3*			20*			
保持时间 t _H		5*			5*			2*			5*			ns

*表示以 CP 上升沿为参考

静态特性 (T_A 为工作环境温度范围)

参 数	测 试 条 件 ⁽¹⁾	'74		'H74		'S74		'LS74		单位	
		最小	最大	最小	最大	最小	最大	最小	最大		
V _{IK} 输入嵌位电压	V _{CC} =最小	I _{ik} =-8mA				-1.5				V	
		I _{ik} =-12mA			-1.5						
		I _{ik} =-18mA					-1.2		-1.5		
V _{OH} 输出高电 平电压	V _C =最小V _{IH} =2V, V _{IL} =最大I _{OH} =最大	54	2.4		2.4		2.5		2.5	V	
		74	2.4		2.4		2.7		2.7		
V _{OL} 输出低电 平电压	V _{CC} =最小, V _{IL} =最 大, V _{IH} =2V, I _{OL} =最大	54		0.4		0.4		0.5		0.4	V
		74		0.4		0.4		0.5		0.5	
I _I 最大输入电压	V _{CC} =最大			D, CP	1		1		1	0.1	mA

时输入电流	$V_I=5.5V$ (‘LS74 为 7V)	PR, CLR		1	1	1	1	0.2				
I_{IH} 输入高电平电流	$V_{CC}=\text{最大}$ $V_{IH}=2.4V$ (‘S74 和‘LS74 为 2.7V)	D		40	50	50	50	20	uA			
		CLR		120	150	150	150	40				
		PR		80	100	100	100	40				
		CP		80	100	100	100	20				
I_{IL} 输入低电平电流	$V_{CC}=\text{最大}$ $V_{IL}=0.4V$ (‘S74 为 0.5V)	D		-1.6	-2	-2	-2	-0.4	mA			
		CLR		-3.2	-4	-4	-6	-0.8				
		PR		-1.6	-2	-2	-4	-0.8				
		CP		-3.2	-4	-4	-4	-0.4				
I_{OS} 输出短路电流	$V_{CC}=\text{最大}$		54	-20	-57	-40	-100	-40	-100	-20	-100	mA
			74	-18	-57	-40	-100	-40	-100	-20	-100	
I_{CC} 电源电流	$V_{CC}=\text{最大,CP接地,}$ Q 和 \bar{Q} 分别接高电平		54		30		42		50		8	mA
			74		30		50		50		8	

[1]: 测试条件中的“最小”和“最大”用推荐工作条件中的相应值。

动态特性($T_A=25^\circ C$)

参 数 ^[2]		测 试 条 件		‘74		‘H74		‘S74 ^[3]		‘LS74		单 位
		最小	最大	最小	最大	最小	最大	最小	最大	最小	最大	
f_{max}		15	35			75				25		MHz
t_{PLH}	PR-Q		25		20			6			25	ns
t_{PHL}	PR- \bar{Q}		40		30			13.5			40	
t_{PLH}	CLR-Q		25		20			6			25	ns
t_{PHL}	CLR- \bar{Q}		40		30			13.5			40	
t_{PLH}	CP-Q		25		15			9			25	ns
t_{PHL}	CP- \bar{Q}		40		20			9			40	

[2]: f_{max} —最大时钟频率, t_{PLH} 输出由低到高传输延迟时间, t_{PHL} 输出由高到低传输延迟时间

[3]: 测 t_{PHL} (PR- \bar{Q} , CLR-Q), CP(H)时 t_{PHL} 最大值为 13.5ns, CP(L)时 t_{PHL} 最大值为 8ns